

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06083731 A**(43) Date of publication of application: **25.03.94**

(51) Int. Cl.

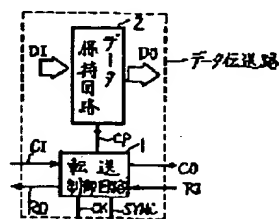
**G06F 13/00****G06F 13/36**(21) Application number: **04234763**(22) Date of filing: **02.09.92**(71) Applicant: **SHARP CORP**(72) Inventor: **MURAMATSU GOJI  
ONozAKI MANABU****(54) SELF-SYNCHRONOUS TRANSFER CONTROL  
CIRCUIT****(57) Abstract:**

**PURPOSE:** To provide a self-synchronous transfer control circuit having a function capable of suppressing or permitting transfer operation at optional required timing.

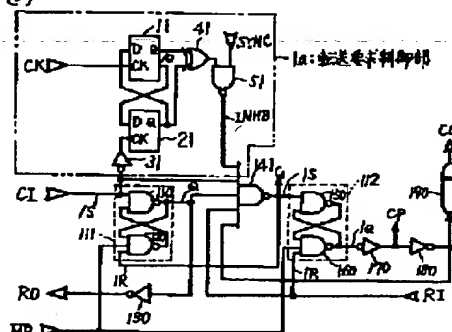
**CONSTITUTION:** Each data transmission line includes a self-synchronous transfer control circuit 1 and a data holding circuit 2 for latching input data DI in accordance with a pulse input from a pulse output terminal CP of the circuit 1 and sending output data DO to the succeeding transmission line. The circuit 1 includes further transfer request control part 1a, which sets up the circuit 1 to a permission mode or a suppressing mode for conventional self-synchronous transfer control operation based upon a mode signal applied from the external to its mode input terminal SYSN. In the suppressing mode, a transfer request signal applied to a pulse input terminal CI of the circuit 1 is controlled so as to be transmitted to the succeeding transfer control circuit in accordance with a clock applied from the external to the terminal CK of the control part 1a.

COPYRIGHT: (C)1994,JPO&amp;Japio

(a)



(b)



(51)Int.Cl.<sup>3</sup>

G 0 6 F 13/00  
13/36

識別記号

3 5 3 B 7368-5B  
5 2 0 C 9072-5B

庁内整理番号

FI

### 技術表示箇所

審査請求 未請求 請求項の数1(全 7 頁)

(21)出題番号

特題平4-234763

(22)出題日

平成4年(1992)9月2日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 村松 剛司

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 小野崎 学

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

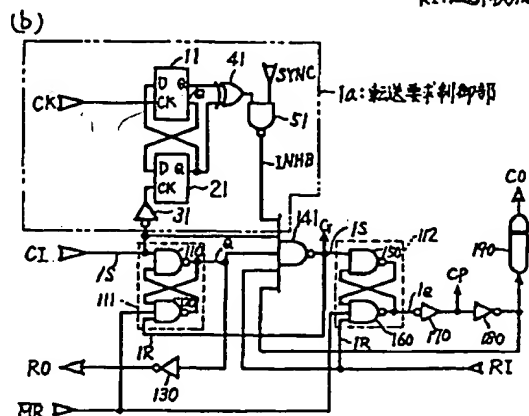
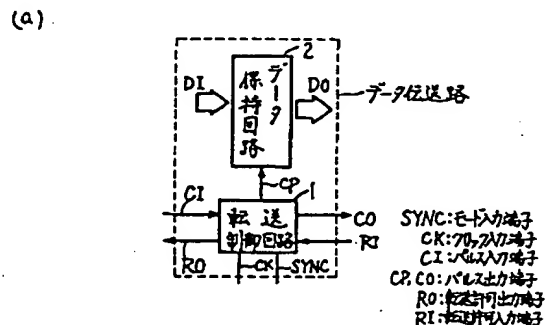
(74)代理人 弁理士 深見 久郎

(54)【発明の名称】 自己同期型転送制御回路

(57) 【要約】

【目的】 所望される任意のタイミングで転送動作を抑止または許可できる機能を有した自己同期型転送制御回路を提供することを目的とする。

【構成】 各データ伝送路は自己同期型転送制御回路１および回路１のバルス出力端子ＣＰからのバルス入力に応じて入力データＤＩをラッチして出力データＤＯを次段の伝送路に送出するデータ保持回路２を含む。回路１は転送要求制御部１ａをさらに含み、制御部１ａはモード入力端子ＳＹＮＣに外部から与えられるモード信号に基づいて回路１を従来の自己同期型転送制御動作の許可モードに設定するかまたは該動作を抑止するモードに設定する。抑止モードにあるとき、回路１のバルス入力端子ＣＩに与えられた転送要求信号は制御部１ａの端子ＣＫに外部から与えられるクロックに応じて次段の転送制御回路への伝達が制御される。



## 【特許請求の範囲】

【請求項1】 転送の許可または禁止を指示する指示信号に基づいて、前段部から与えられる第1のパルスを実第2のパルスとして後段部に転送する自己同期型転送制御回路であって、

前記第1のパルスを記憶する第1の記憶手段と、

前記指示信号の禁止状態に定答してリセットされる第2の記憶手段と、

前記第1のパルスの入力に定答してセットされ、かつ外部から任意に与えられる第3のパルスの入力に定答してリセットされる第3の記憶手段と、

前記第1の記憶手段が前記第1のパルスを記憶していること、前記第1の記憶手段に前記第1のパルスが与えられていないこと、前記第2の記憶手段がリセット状態であること、前記指示信号が許可状態であること、および前記第3の記憶手段がリセット状態であることに定答してパルスを出力する論理手段とを備え、

前記第1の記憶手段は前記論理手段から出力されるパルスによりリセットされ、前記第2の記憶手段は前記論理手段から出力されるパルスを記憶して前記第2のパルスを発生する、自己同期型転送制御回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は自己同期型転送制御回路に関し、特に、パルスの転送を制御するための自己同期型転送制御回路に関する。

## 【0002】

【従来の技術】FIFO（ファーストイン・ファーストアウト）メモリを用いたデータの入出力動作、またはデータ駆動型の情報処理動作を含むデータ処理装置には、非同期のハンドシェイク方式を採用したデータ伝送装置が用いられることがある。このようなデータ伝送装置では、複数のデータ伝送路が接続され、それらのデータ伝送路がデータの転送要求信号およびデータの転送を許可するか否かを示す転送許可（Acknowledge）信号を互いに送受信しながら、自律的なデータ転送が行なわれる。

【0003】図3は、従来のハンドシェイク方式を採用したデータ伝送装置の一例を示すブロック図である。

【0004】図4は、図3に示されたデータ伝送路の構成を示すブロック図である。図3において、このデータ伝送装置はデータ伝送路10、20および30を含む。各データ伝送路は、転送制御回路10a、20aおよび30aをそれぞれ含み、さらにデータ保持回路10b、20bおよび30bをそれぞれ含む。各データ伝送路は、所定のロジック回路を介してシーケンスに接続されている。図3には、データがデータ伝送路10→20→30と順に転送されていく間に、ロジック回路15→25→35でシーケンスに処理される構成となっている。

【0005】図3に示された各データ伝送路のブロック

構成が図4に示される。図4には、データ伝送路10に関するブロック構成を示しているが、その他のデータ伝送路についても同様な構成が採用されるので、それらに関する説明は省略する。図4において、伝送路10は、自己同期型の転送制御回路10aおよびDタイプフリップフロップからなるデータ保持回路10bを含む。転送制御回路10aは、前段部（図示せず）からパルスを受けるパルス入力端子CI、前段部に転送の許可または転送の禁止を示す転送許可信号を出力する転送許可出力端子RO、後段部（図示せず）にパルスを出力するパルス出力端子CO、後段部から転送の許可または転送の禁止を示す転送許可信号を受ける転送許可入力端子RI、およびデータ保持回路10bにデータ保持動作を制御するクロックパルスを与えるためのパルス出力端子CPを有している。転送制御回路10aは、前段部からのパルスを受けると、後段部からの転送許可信号が許可状態であるならば、後段部にパルスを出力するとともにデータ保持回路10bにパルスを出力する。データ保持回路10bは、転送制御回路10aから与えられるパルスに定答して、前段部から与えられるデータDIを保持し、その保持したデータを後段部に出力データDOとして与える。

【0006】図3に戻り、転送制御回路20aのパルス入力端子CIには転送制御回路10aのパルス出力端子COが接続され、転送要求信号C20が伝送される。転送制御回路20aのパルス出力端子COには転送制御回路30aのパルス入力端子CIが接続され、転送要求信号C30を伝送する。転送制御回路20aの転送許可出力端子ROには転送制御回路10aの転送許可入力端子RIが接続され、転送許可信号R20を伝送する。転送制御回路20aの転送許可入力端子RIには転送制御回路30aの転送許可出力端子ROが接続され、転送許可信号R30が伝送される。さらに、転送制御回路10aのパルス入力端子CIは図示されない前段部の転送制御回路のパルス出力端子COに接続され、転送要求信号C10を受ける。転送制御回路30aのパルス出力端子COは、図示されない後段部の転送制御回路のパルス入力端子CIに接続され、転送要求信号C40を出力する。転送制御回路10aの転送許可出力端子ROは図示されない前段部の転送制御回路の転送許可入力端子RIに接続され、転送許可信号R10を出力する。転送制御回路30aの転送許可入力端子RIは図示されない後段部の転送制御回路の転送許可出力端子ROに接続され、転送許可信号R40を受ける。

【0007】図3において、たとえばデータ伝送路10がデータ保持状態にある場合、後段のデータ伝送路20がデータ保持状態にあれば、データ伝送路10からデータ伝送路20にデータは送られない。また、後段のデータ伝送路20がデータを保持していない状態にあれば（保持していない状態になれば）、少なくとも予め設定

された遅延時間をかけてデータが伝送路10からデータ伝送路20に送られる。

【0008】このように、接続された際のデータ伝送路との間で送受信される転送要求信号および転送許可信号に従って非同期に、そして少なくとも予め設定された遅延時間をかけてデータ転送を行なうような制御を自己同期型転送制御と呼び、そのようなデータ転送を制御する回路を自己同期型転送制御回路と呼ぶ。

【0009】図5は、従来の自己同期型転送制御回路の一例を示す回路図である。図6は、図5に示された回路動作を説明するためのタイミングチャートである。

【0010】図5において、パルス入力端子CIは前段部からのパルス状の転送要求信号を受け、転送許可出力端子ROは前段部に転送許可信号を出力する。パルス出力端子COは後段部にパルス状の転送要求信号を出力し、転送許可入力端子RIは後段部から転送許可信号を受ける。マスタリセット入力端子MRはマスタリセット信号を受ける。

【0011】NANDゲート110および120は、RSフリップフロップ111を構成している。ノード/Sに“L”のパルスが与えられると、応じてRSフリップフロップ111はセットされる。これにより、RSフリップフロップ111は“L”のパルスを記憶し、ノードQに“H”を出力する。また、ノード/Rに“L”のパルスが与えられると、RSフリップフロップ111はリセットされる。これにより、RSフリップフロップ111はノードQに“L”を出力する。NANDゲート150および160もまたRSフリップフロップ112を構成する。RSフリップフロップ112の動作は、RSフリップフロップ111の動作と同様である。

【0012】4入力NANDゲート140の第1の入力端子はパルス入力端子CIに接続され、第2の入力端子はRSフリップフロップ111のノードQに接続され、第3の入力端子は転送許可入力端子RIおよびRSフリップフロップ112のノード/Sに接続され、第4の入力端子は後述するインバータ180の出力ノードに接続される。

【0013】転送許可出力端子ROの出力が“H”であることは、転送許可状態を示し、逆に“L”であることは転送禁止状態を示している。また、パルス入力端子CIの入力が“L”であることは前段からデータ転送が要求されていることを表わし、逆に“H”であることは前段からデータ転送が要求されていないことを表わしている。

【0014】次に、図6のタイミングチャートを参照しながら図5の転送制御回路の動作を説明する。

【0015】まず、マスタリセット端子MRに“L”のパルスが与えられると、この転送制御回路は初期化される。これにより、パルス出力端子CO、ノード/Qおよび転送許可出力端子ROにそれぞれ“H”が出力され

る。

【0016】転送許可出力端子ROからの転送許可信号が許可状態であることに基いてパルス入力端子CIに前段部から“L”のパルスが与えられると、RSフリップフロップ111がセットされ、ノードQの出力が“H”となる。これにより、転送許可出力端子ROからの出力が“L”（禁止状態）となるので、前段部に対してさらなるデータ転送を禁止する。その後、所定時間を経過するとパルス入力端子CIに与えられるパルスが“H”となる。NANDゲート140は、前段からデータ転送要求を受け取ったことをRSフリップフロップ111が記憶しており（ノードQ=“H”）、かつ、パルス入力端子CIが“H”に復帰しており、かつ、この転送制御回路が後段にデータ転送要求を出している途中でなく（パルス出力端子CO=“H”）、かつ転送許可信号入力端子RIに転送許可状態の信号入力があるとき（端子RI=“H”）であるとき、その出力ノードGは“L”となる。NANDゲート140の出力ノードGが“L”になると、前段のRSフリップフロップ111がリセットされ、また次段のRSフリップフロップ112がリセットされる。RSフリップフロップ112の出力ノードは“L”を有するので、次段のインバータ170を介して得られる対応のデータ保持回路に対するパルス出力端子CPは“H”に立上がる。このパルス出力端子CPが“H”に立上がったときに、対応のデータ保持回路にデータ保持のためのクロックパルスが与えられるので、応じてデータ保持回路は入力データDIをラッチし出力データDOにして送出する。さらに、インバータ170の出力はインバータ180を通り、遅延素子190を通してパルス出力端子COを“L”にする。これにより、後段の転送制御回路にデータ転送を要求するようにそのパルス入力端子の信号レベルを“L”に設定する。したがって、次段の転送制御回路は前段の転送制御回路からの転送要求信号を受け取ることになる。

【0017】その後、一定時間期間経過後、転送要求信号を受け取った後段の転送制御回路は、転送許可信号を禁止状態（=“L”）にして転送許可入力端子RIに返してくる。転送許可入力端子RIの信号レベルはフリップフロップ112をセットする。これに伴いパルス出力端子CPは“L”の信号レベルになり、さらにパルス出力端子COは“H”に戻る。

【0018】その後、後段のデータ伝送路が該伝送路よりもさらに後段の伝送路にデータを転送し、それによって転送許可入力端子RIは“H”に戻る。これにより、次段のデータ伝送路に対して新たなデータ転送が可能となる。

【0019】

【発明が解決しようとする課題】上述したように従来の転送制御回路においては、後段のデータ伝送路が空き状態（転送許可入力端子RI=“H”）の場合であれば、

データが自律的に順次後段のデータ伝送路に伝送されてしまう。そのため、各データ伝送路の転送制御回路の転送タイミングの検証、またデータ伝送路間に配置されているロジックの処理内容のデバックに際して、データをデータ伝送路→ロジック回路→データ伝送路→ロジック回路→…と処理を1段ずつ徐々に進めるようコントロールしながら、動作を各段において確認することが困難であるという問題があった。

【0020】それゆえに、この発明の目的は所望される任意のタイミングで転送動作を抑止または許可できる機能を有した自己同期型転送制御回路を提供することである。

【0021】

【課題を解決するための手段】この発明に係る転送制御回路は、転送の許可または禁止を指示する指示信号に基づいて、前段部から与えられる第1のパルスを実第2のパルスとして後段部に転送する自己同期型転送制御回路であって、第1の記憶手段、第2の記憶手段、第3の記憶手段および論理手段を備える。第1の記憶手段は、第1のパルスを記憶する。第2の記憶手段は指示信号の禁止状態に回答してリセットされる。第3の記憶手段は第1のパルスの入力に回答してセットされ、かつ外部から任意に与えられる第3のパルスの入力に回答してリセットされる。論理手段は、第1の記憶手段が第1のパルスを記憶していること、第1の記憶手段に第1のパルスが与えられていないこと、第2の記憶手段がリセット状態であること、指示信号が許可状態であること、および第3の記憶手段がリセット状態であることに回答してパルスを出力する。第1の記憶手段は論理手段から出力されるパルスによりリセットされ、第2の記憶手段は論理手段から出力されるパルスを記憶して第2のパルスを発生する。

【0022】

【作用】この発明に係る自己同期型転送制御回路においては、少なくとも第3の記憶手段がセット状態にある限り、言い換えれば少なくとも第3の記憶手段が外部から第3のパルスが与えられずリセット状態とならない限り、論理手段はパルスを発生せず、第1の記憶手段から第2の記憶手段へのパルスの転送が抑制される。このように、所望に応じて外部から任意に第3のパルスを与えるだけで、該回路において前段部から与えられる第1のパルスを第2のパルスとして後段部に転送する動作を抑制できる。

【0023】

【実施例】以下、この発明の一実施例について図を参照しながら詳細に説明する。

【0024】図1(a)および(b)は、この発明の一実施例による自己同期型転送制御回路と、それを含むデータ伝送路の構成を示す図である。図1(a)には、この発明の一実施例による自己同期型転送制御回路を含む

データ伝送路の構成が示され、図1(b)には、図1

(a)に含まれる自己同期型転送制御回路の回路構成が示される。図2には、図1(b)に示された自己同期型転送制御回路の動作を説明するためのタイミングチャートが示される。

【0025】この発明の一実施例による自己同期型転送制御回路は、通常は自己同期型転送制御回路として従来で説明したような動作をし、ユーザが所望のデバック操作の際には、外部から入力される信号で転送要求信号の伝達が任意に制御できるようにして、転送制御回路やデータ伝送路間に配置されるロジック回路のタイミングの検証や処理内容のデバックを、データの伝送を段階的に進めながら動作を追跡することで可能となるように構成されている。

【0026】図1(a)のデータ伝送路は転送制御回路1およびDタイプフリップフロップを含んで構成されるデータ保持回路2を含む。転送制御回路1は図4で説明した従来の転送制御回路10aと同様にパルス入力端子CI、パルス出力端子CPおよびCO、転送許可入力端子RIおよび転送許可出力端子ROを含む。さらに転送制御回路1はモード入力端子SYNCおよびクロック入力端子CKを含む。端子SYNCおよびCKは、図示されない外部制御装置に接続される。この外部制御装置は手動または自動により制御されて、端子SYNCにモード信号を与え、端子CKにクロックを与える。

【0027】モード信号は、転送制御回路1に対して従来で説明した自律的な動作モードと、端子CKに与えられるクロックに基づいて転送要求信号の伝送が制御されるモードとのいずれかを設定するような信号である。端子SYNCが“L”であるとき、転送制御回路1は自律的な動作モードに設定されて従来で説明したような自己同期型転送制御回路と同じ動作をする。一方、端子SYNCが“H”であるとき、転送制御回路1は端子CKに与えられるクロックに基づいて転送要求信号の伝送が制御されるようなモードに設定される。

【0028】この実施例では、端子SYNCが“L”のときの動作は、従来で説明したような自己同期型転送制御回路と同じであるので、その場合の説明は省略し、端子SYNCが“H”であるときの動作についてのみ、説明する。

【0029】図1(b)においてこの発明の一実施例による転送制御回路1は図5に示した従来の転送制御回路のNANDゲート140に代替してNANDゲート141を含み、さらに転送要求制御部1aを新たに含む。その他の構成は従来と同様である。

【0030】NANDゲート141は第1～第5の入力ノードを有し、そのうち第2～第5の入力ノードは従来のゲート140の第1～第4の入力ノードに相当し、その第1の入力ノードには後述するように転送要求制御部1aの出力ノードINHが接続される。

【0031】転送要求制御部1aはDタイプフリップフロップ11および21、インバータ31、EXORゲート41およびNANDゲート51を含む。フリップフロップ21のノードckはインバータ31を介して転送要求入力端子CIに接続され、ノードDはフリップフロップ11のノード/Qに接続され、さらにノードQはフリップフロップ11のノードDに接続されるとともにEXORゲート41の一方の入力に接続される。フリップフロップ11のノードckはクロック入力端子CKに接続され、ノードQはEXORゲート41の他方の入力に接続される。NANDゲート51の出力ノードINHbは前述したようにNANDゲート141の第1の入力に接続される。この転送制御回路1が、従来と同様な自己同期型転送制御回路として動作するモードであるとき、言い換えればモード入力端子SYNCが“L”であるとき、出力ノードINHbは“H”に固定されるので、ゲート141の機能は従来のゲート140のそれと等しくなる。つまり、このモードであるとき転送制御回路1において転送要求制御部1aは不能化されているのと同様になるので、該回路1は従来と同様な自己同期型転送制御回路として動作する。

【0032】次に、端子SYNCが“H”であり、かつ端子CKの入力クロックによって転送要求信号の伝送が制御されるモードについて、図2のタイミングチャートを参照しながら説明する。今、モード入力端子SYNCが外部制御により“H”に設定され、かつ該回路1はマスタリセット信号入力により初期化されているものと想定する。

【0033】前段のデータ伝送路から転送許可出力端子ROが“H”であることに基いて、データ転送を要求する転送要求信号が入力されるとパルス入力端子CIが“L”に立下がる。端子CIに与えられた信号はRSフリップフロップ111をセットするので、ノードQには“H”が与えられる。ノードQの信号はインバータ130を介して転送許可出力端子ROに与えられ、端子ROは“L”となる。これにより、前段の転送制御回路に対して新たなデータの転送を禁止する旨の転送禁止信号が与えられる。同時に、端子CIに与えられた信号はインバータ31を介してDタイプフリップフロップ21のノードckに入力される。

【0034】Dタイプフリップフロップ21は、インバータ31を介して入力端子CIの信号レベルをノードckを介して受け取り、ノードckの“H”への立上がりに対応してDタイプフリップフロップ11の出力ノード/Qの信号をラッチする。その結果、Dタイプフリップフロップ11と22との出力ノードQが互いに逆の信号レベルを出力し、それらがEXORゲート41に入力されるためゲート41の出力は“H”を有することになって、NANDゲート51の出力ノードINHbは“L”となる。

【0035】その後、一定時間期間経過すると、転送要求入力端子CIは“H”に復帰する。端子CIが“H”に復帰し、RSフリップフロップ111の出力ノードQ、インバータ180の出力ノードおよび転送許可入力端子RIがすべて“H”であったとしても、出力ノードINHbが“L”である期間は、NANDゲート141の出力ノードGは“L”を出力し続けることになるので、パルス出力端子COは“L”にはならない。したがって、後段の転送制御回路に対し転送要求信号は伝送されない。

【0036】このように、モード入力端子SYNCを“H”に設定することにより、転送制御回路1は前段部の転送制御回路から与えられた転送要求信号を後段の転送制御回路へ転送することが抑制される。

【0037】次に、外部制御により端子CKに“H”の信号を与えると、応じてDタイプフリップフロップ11はDタイプフリップフロップ21の出力ノードQの信号をラッチする。その結果、フリップフロップ11と21との出力ノードQは同じ信号レベルとなるので、EXORゲート41の出力ノードが“L”となって、NANDゲート51の出力ノードINHbが“H”に立上がる。

【0038】出力ノードINHbが“H”に立上がると、NANDゲート141の出力ノードGは“L”に立上がる。これにより、RSフリップフロップ111がリセットされ、またRSフリップフロップ112はセットされる。RSフリップフロップ112の出力ノード/Qは“L”に立下がるので、パルス出力端子CPは“H”に立上がり、この信号レベルは対応のデータ保持回路2のクロック入力となる。これに応じてデータ保持回路2は入力データDIをラッチし出力データDOにして出力する。さらに、RSフリップフロップ112の出力ノード/Qの信号はインバータ170および180を介してさらに遅延素子190を通してパルス出力端子COに与えられる。これによりパルス出力端子COは遅延素子190の時定数による所定時間経過後“L”となるので、後段の転送制御回路に対しデータの転送要求信号が与えられることになる。

【0039】このように、モード入力端子SYNCを“H”にして転送要求信号を後段の転送制御回路に伝送するのを抑制した後、改めてクロック入力端子CKに“H”の信号を与えることによって、この伝送が阻止された転送要求信号がそのまま後段の転送制御回路に与えられることになる。

【0040】さらに一定時間期間経過後、後段の転送制御回路から転送禁止信号が送出され、転送許可入力端子RIが“L”に立下がると、RSフリップフロップ112はリセットされ、応じてパルス出力端子CPは“L”に、出力端子COは“H”にそれぞれ復帰する。したがって、データ保持回路2に対するデータのラッチ動作は禁止され、後段の転送制御回路に対する新たなデータの

転送が禁止される。

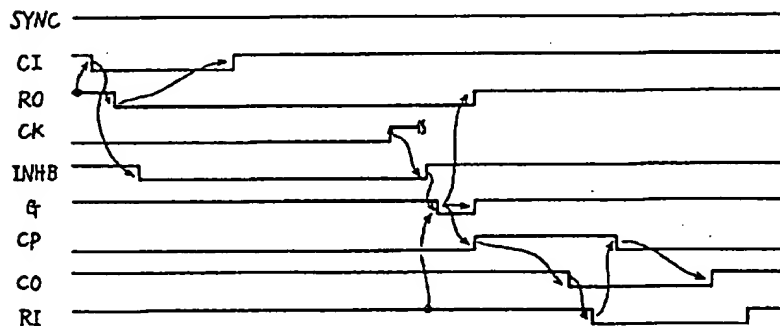
【0041】 以上のように、モード入力端子SYNCが“H”に設定されている期間は、外部制御によるクロック入力端子CKの信号レベルに基づいてパルス入力端子CIに与えられる転送要求信号の後段への転送が容易に制御される。したがって、ユーザは外部制御によりモード入力端子SYNCおよびクロック入力端子CKの信号レベルを所望レベルに設定することにより、転送制御回路やデータ伝送路間に配置されるロジックについて、転送タイミングの検証や処理内容のデバックについて、データの伝送を1段ずつ進めながら、段階的に行なうことが可能となる。

【0042】 上述したようにモード入力端子SYNCを“H”に固定して、クロック入力を端子CKに任意に与え、外部制御によりデータの転送を制御しながらデータを任意のデータ伝送路まで転送した後に、モード入力端子SYNCを“L”に設定変更すれば、その設定変更時点から転送制御回路は従来と同様な自律的な動作モード（自己同期型転送制御）で動作し始めることになる。このように、外部制御によりモード入力端子SYNCの信号レベルを可変設定するだけで、容易に転送制御回路の動作モードを変更することも可能である。

【0043】

【発明の効果】 以上のようにこの発明によれば、パルス転送に伴う動作を検証する際には、すなわち前段部から与えられる第1のパルスを任意に保留して、第2のパルスとして後段部に転送することを抑制するような場合には、第3の記憶手段に対して外部から任意に第3のパルスを与えるだけで、パルスの転送が任意に抑制される。したがって、前段部から与えられる第1のパルスを第2のパルスとして後段部に転送する動作の検証が容易に可能となる。

【図2】



【0044】 したがって、この発明に係る転送制御回路や、この転送制御回路を含んで構成されるデータ伝送路、および各データ伝送路間に配置されるロジック回路などにおけるデータまたは信号転送時のタイミングの検証や、処理内容のデバックに際して動作の追跡を1ステップずつ行なうことが可能となる。

【図面の簡単な説明】

【図1】 (a) および (b) は、この発明の一実施例による自己同期型転送制御回路と、それを含むデータ伝送路の構成を示す図である。

【図2】 図1 (a) および (b) に示された転送制御回路の動作を説明するためのタイミングチャートである。

【図3】 従来のハンドシェイク方式を採用したデータ伝送装置の一例を示すブロック図である。

【図4】 図3に示されたデータ伝送路の構成を示すブロック図である。

【図5】 従来の自己同期型転送制御回路の一例を示す回路図である。

【図6】 図5に示された回路の動作を説明するためのタイミングチャートである。

【符号の説明】

1 転送制御回路

2 データ保持回路

1a 転送要求制御部

SYNC モード入力端子

CK クロック入力端子

CI パルス入力端子

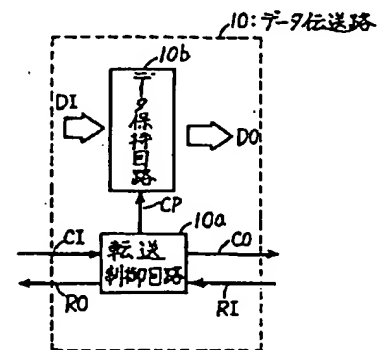
CP, CO パルス出力端子

RO 転送許可出力端子

RI 転送許可入力端子

なお、各図中同一符号は同一または相当部分を示す。

【図4】



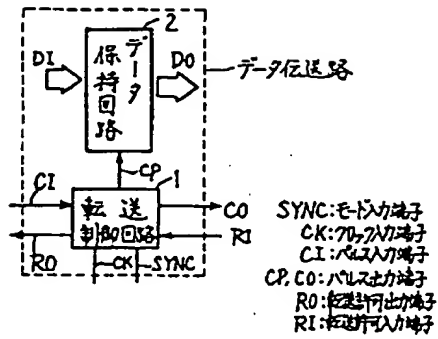
CI: パルス入力端子  
CP, CO: パルス出力端子

RI: 転送許可入力端子  
RO: 転送許可出力端子

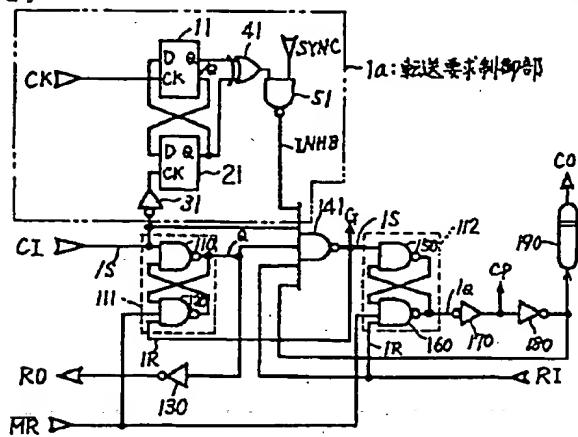


【図1】

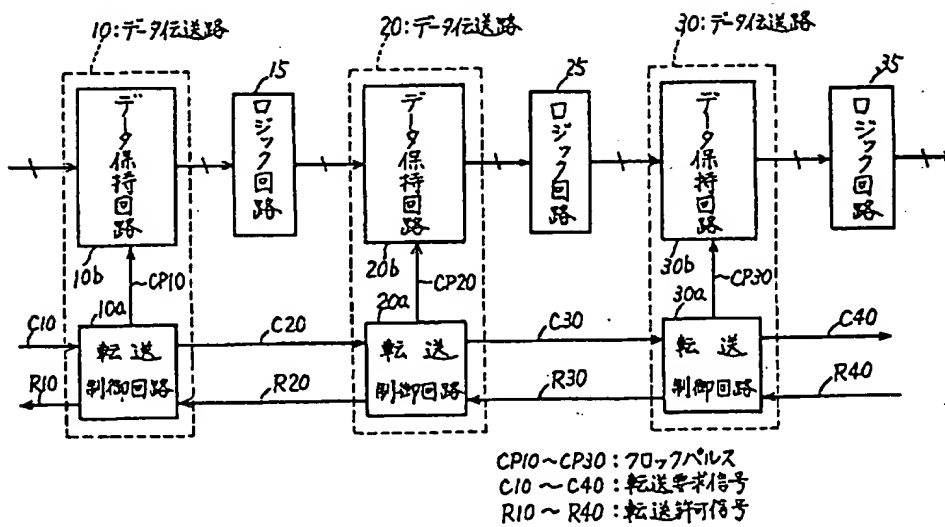
(a)



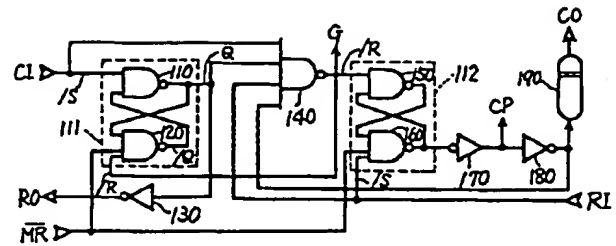
(b)



【図3】



【図5】



【図6】

